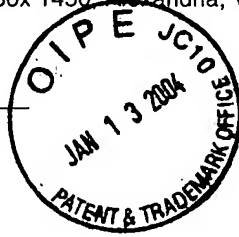


CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: January 12, 2004

Christine M. Spivey



Patent
36856.1132

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Hiroyuki FUJINO et al.	Art Unit: 2817
Serial No.: 10/681,845	Examiner: Unknown
Filing Date: October 8, 2003	
For: DUPLEXER AND COMPOSITE MODULE	

TRANSMITTAL OF PRIORITY DOCUMENTS

Commissioner for Patent
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese Patent Application Nos. **2002-325630** filed **November 8, 2002** and **2003-311206** filed **September 3, 2003** from which priority is claimed under 35 U.S.C. 119 and Rule 55b.

Acknowledgement of the priority documents is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: January 12, 2004


Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
(703) 385-5200



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 2 5 6 3 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 2 5 6 3 0]

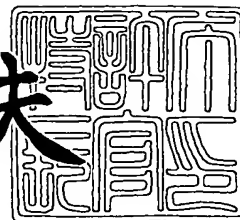
出 願 人 株 式 会 社 村 田 製 作 所
Applicant(s):



2 0 0 3 年 9 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 0 2 3 9

【書類名】 特許願

【整理番号】 32-0996

【提出日】 平成14年11月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H03H 9/72

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
 製作所内

 【氏名】 藤野 博之

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
 製作所内

 【氏名】 後藤 義彦

【特許出願人】

 【識別番号】 000006231

 【氏名又は名称】 株式会社村田製作所

【代理人】

 【識別番号】 100080034

 【弁理士】

 【氏名又は名称】 原 謙三

 【電話番号】 06-6351-4384

【手数料の表示】

 【予納台帳番号】 003229

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0014717

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 分波器

【特許請求の範囲】

【請求項 1】

送信帯域用フィルタおよび受信帯域用フィルタをアンテナ端子に並列接続してなる分波器であって、

送信帯域用フィルタおよび受信帯域用フィルタは、導電性を有するリッドで封止されている少なくとも 1 つのパッケージに収納されており、

上記パッケージは、アンテナ端子を有する実装基板に実装されるとともに、該実装基板に接合されている導電性を有するシールドに覆われており、

上記送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方のグランド端子は上記リッドに接続され、

該リッドは上記シールドと電氣的に接続されていることを特徴とする分波器。

【請求項 2】

上記フィルタは、実装基板を介してシールドと電氣的に接続されていることを特徴とする請求項 1 に記載の分波器。

【請求項 3】

アンテナ端子と、送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方との間に、整合回路素子を有することを特徴とする請求項 1 または 2 に記載の分波器。

【請求項 4】

上記送信帯域用フィルタと受信帯域用フィルタとは、異なるパッケージに収納されていることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の分波器。

【請求項 5】

上記送信帯域用フィルタおよび受信帯域用フィルタのグランド端子は、ともに上記リッドに接続されていることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の分波器。

【請求項 6】

上記送信帯域用フィルタ、受信帯域用フィルタおよび整合回路素子が 1 つのパ

ッケージに収納されていることを特徴とする請求項 3 に記載の分波器。

【請求項 7】

上記送信帯域用フィルタおよび受信帯域用フィルタは、バルク波共振子フィルタであることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の分波器。

【請求項 8】

上記送信帯域用フィルタおよび受信帯域用フィルタは、弾性表面波共振子フィルタであることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の分波器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、通信装置等に用いられる、圧電薄膜共振子あるいは弾性表面波共振子を有するフィルタを備える分波器に関するものである。

【0002】

【従来の技術】

近年、弾性表面波を用いる弾性表面波フィルタ、弾性バルク波を用いる圧電薄膜フィルタが開発されている。

【0003】

また、上記弾性表面波フィルタ、圧電薄膜フィルタを備えるデュプレクサが、特許文献 1、特許文献 2 に開示されている。

【0004】

特に、特許文献 2 では、パッケージに搭載されたフィルタをプリント基板に実装し、上記フィルタを金属からなるケースで封止する構造が開示されている。このとき、金属からなるケースはプリント基板のグラウンド（GND）と接続され、シールドとして機能するようになっていた。

【0005】

【特許文献 1】

特開 2001-24476 号公報（公開日：2001 年 1 月 26 日）

【0006】

【特許文献 2】

特開平 9-181567 号公報（公開日：1997 年 7 月 11 日）

【0007】

【発明が解決しようとする課題】

しかしながら、上記の構造では、パッケージに搭載されたフィルタは、パッケージ内のランド、パッケージのスルーホール、パッケージの GND 端子、およびプリント基板のスルーホールを介して、プリント基板の GND に接続されることで接地されているため、GND を広く取ることが困難であった。また、スルーホールも狭い。そのため、各フィルタ間、あるいは各フィルタと整合回路素子との間で電磁界干渉を防止することが不十分になり、良好な減衰量および挿入損失を保つことができないという問題がある。

【0008】

本発明は上記の問題点に鑑みなされたものであり、その目的は、各フィルタ間での電磁界干渉を抑制することにより、良好な特性を有する分波器を提供することにある。

【0009】

【課題を解決するための手段】

本発明の分波器は、上記の課題を解決するために、送信帯域用フィルタおよび受信帯域用フィルタをアンテナ端子に並列接続してなる分波器であって、送信帯域用フィルタおよび受信帯域用フィルタは、導電性を有するリッドで封止されている少なくとも 1 つのパッケージに収納されており、上記パッケージは、アンテナ端子を有する実装基板に実装されるとともに、該実装基板に接合されている導電性を有するシールドに覆われており、上記送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方のグランド端子は上記リッドに接続され、該リッドは上記シールドと電氣的に接続されていることを特徴としている。

【0010】

上記の構成によれば、実装基板のグランド電極（GND）に加えて、リッドおよびシールドもグランド電極（GND）として機能するため、送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方を接地する経路が増え、接地を強化することができる。これにより、各フィルタ間の電磁界干渉を抑制することが

でき、特性を低下させることなく、良好なアイソレーション特性を有する分波器を得ることができる。

【0011】

また、従来は、接地（実装基板のグランド電極）に至る経路においては、パッケージ内の配線に加えて、実装基板とパッケージとを接合するバンプやはんだ、実装基板のスルーホールがあるため、寄生インダクタンスが大きなものであった。しかしながら、上記の構成によれば、リッドがグランド電極（GND）として機能するために、接地（リッド）に至る経路においては、パッケージ内の配線のみであり、寄生インダクタンスを小さくすることができる。これにより、分波器の特性を改善することができる。

【0012】

さらに、上記分波器は、電磁界干渉を抑制されているので、通信装置に搭載されたとしても安定して動作する。

【0013】

また、上記フィルタは、実装基板を介してシールドと電氣的に接続されていることが好ましい。

【0014】

上記の構成によれば、シールドをGND電極として機能させることができるので、より広いGND電極を得ることができる。そのため、各フィルタ間の電磁界干渉をより一層抑制することができる。

【0015】

また、上記分波器では、アンテナ端子と、送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方との間に、整合回路素子を有していてもよい。

【0016】

上記の構成によれば、該整合回路素子とフィルタとの電磁界干渉も抑制することができる。さらに、パッケージと整合回路素子との物理的距離を短くしても、電磁界干渉を抑制することができるので、整合回路素子を備えたとても分波器を小型化することができる。

【0017】

また、上記送信帯域用フィルタと受信帯域用フィルタとは、異なるパッケージに収納されていてもよい。

【0018】

また、上記送信帯域用フィルタおよび受信帯域用フィルタのグランド端子は、ともに上記リッドに接続されていてもよい。

【0019】

また、上記送信帯域用フィルタ、受信帯域用フィルタおよび整合回路素子が1つのパッケージに収納されていることを特徴とする請求項4に記載の分波器。

【0020】

また、上記送信帯域用フィルタおよび受信帯域用フィルタは、バルク波共振子フィルタであってもよい。

【0021】

また、上記送信帯域用フィルタおよび受信帯域用フィルタは、弾性表面波共振子フィルタであってもよい。

【0022】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について、図1ないし図18に基づいて説明すれば、以下のとおりである。

【0023】

本実施の形態にかかるデュプレクサ（分波器）1は、図1に示すように、金属製のリッド17により送信帯域用フィルタおよび受信帯域用フィルタが封止されているパッケージ2、上記送信帯域用フィルタと受信帯域用フィルタとを整合させるインダクタンス（L）、キャパシタンス（C）等からなる整合回路素子3、実装基板4、ならびに金属製のシールド5を備えている。

【0024】

上記パッケージ2および整合回路素子3は、実装基板4の同一面に実装されている。より詳細には、この実装基板4の上面には、上記パッケージ2および整合回路素子3を実装するための配線が設けられている。また、実装基板4に設けら

れている配線は、送信端子（Tx）、受信端子（Rx）、アンテナ端子（ANT）、実装基板GND端子を備えている。そして、パッケージ2に収納されている送信帯域用フィルタおよび受信帯域用フィルタ、ならびに整合回路素子3は、実装基板4に設けられている配線と接続されている。

【0025】

また、上記パッケージ2にはパッケージGNDが設けられており、このパッケージGNDに上記送信帯域用フィルタおよび受信帯域用フィルタのGND端子が接続されている。上記パッケージGNDは、はんだまたは導電性接着剤等の接着部材6を介して実装基板4に設けられている実装基板GND端子7に接続されている。さらに、整合回路素子3に設けられているGND端子も実装基板GND端子7に接続されている。

【0026】

上記実装基板GND端子は、実装基板4におけるパッケージ2および整合回路素子3が実装されていない面に形成されている実装基板GNDパターン7にスルーホール8を介して接続されている。

【0027】

上記シールド5は、実装基板4に実装されているパッケージ2および整合回路素子3を覆うように実装基板4に取り付けられている。また、上記シールド5は、キャストレーション12を介して上記実装基板GND7と接続されている。

【0028】

また、上記パッケージGNDは、リッド17にも接続されている。さらに、リッド17は、接続部材9を介してシールド5に接続されている。

【0029】

上記シールド5の実装基板4への取り付け方法としては、図2（a）に示すように、シールド5に複数の足5aを設け、これら足5aを実装基板4に形成したスルーホール10に差し込む方法が挙げられる。足5aを、このスルーホール10に単に差し込むだけでもよい。この場合、足5aを差し込んだ場合には、他の部材との導通は得られない。さらに、図2（b）に示すように、スルーホール10にはんだや導電性接着剤等の接着部材11で接合してもよい。そしてさらに、

このスルーホール10を介して実装基板GND7と接続してもよい。なお、シールド5と実装基板GND7との導通が不要である場合には、絶縁性の接着剤を用いてもよい。

【0030】

次に、上記実装基板4に実装されるパッケージ2について、図3および図4に基づいて説明する。

【0031】

図3に示すように、上記パッケージ2は、例えば、長方形の底板部20とその4辺に立設された側板部21とからなる、開口部を有する直方体形状である。上記パッケージ2は、底板部21に送信帯域用フィルタ12、受信帯域用フィルタ13を搭載している。さらに、上記開口部は、リッド17により覆われて塞がれている。送信帯域用フィルタ12および受信帯域用フィルタ13はそれぞれGND端子を備えており、これらGND端子がパッケージ2の側板部21に設けられているパッケージ内GNDにワイヤ14を介して接続されている。また、上記側板部21には、キャストレーション15が形成されている。このキャストレーション15には、パッケージ内GND、底板部20に形成されているパッケージGND端子22、およびリッド17が接続されている。このパッケージ2におけるパッケージ内GNDは、上記の構成に限らず、例えば、図3(b)に示すように、パッケージGND端子22に接続されていてもよい。また、図4(a)(b)に示すように、上記キャストレーション15に代えて、側板部21に形成したスルーホール16を用いてもよい。

【0032】

ここで、上記デュプレクサ1の回路の一例を挙げる。デュプレクサ1は、図5に示すように、送信端子31、受信端子32、アンテナ端子33を備えている。上記デュプレクサ1は、アンテナ端子33と送信側端子31との間に設けられた送信帯域用フィルタ35（送信帯域用フィルタ12）、アンテナ端子33と受信端子32との間に設けられた受信帯域用フィルタ36（受信帯域用フィルタ13）、およびアンテナ端子33と受信フィルタ36との間に設けられた整合回路素子37（整合回路素子3）を備えている。つまり、上記デュプレクサ1は、送信

帯域用フィルタ 35 と受信帯域用フィルタ 36 とをアンテナ端子 33 に並列接続している。また、アンテナ端子 33 と送信帯域用フィルタ 35 との間には、キャパシタンス 38（整合回路素子 3）を備えている。上記受信帯域用フィルタ 36 と整合回路 37 との間および受信端子 32 と受信帯域用フィルタ 36 との間には、それぞれインダクタンス 39、40（整合回路素子 3）を備えている。上記送信帯域用フィルタ 35 と受信帯域用フィルタ 36 とは、互いに通過帯域が相違するように設定されている。

【0033】

上記送信帯域用フィルタ 35 は、直列共振子 41a～41d および並列共振子 42a、42b をラダー型に備えている。また、上記並列共振子 42a、42b は、インダクタンス 43a、43b を介して接地されている。

【0034】

上記受信帯域用フィルタ 36 は、直列共振子 51a、51b および並列共振子 52a～52d をラダー型に備えている。また、上記並列共振子 52a～52d は接地されている。

【0035】

上記整合回路素子 37 は、直列に接続されたインダクタンス 71 と並列に接続されたキャパシタンス 72、73 を備え、上記キャパシタンス 72、73 が接地されている。

【0036】

上記の構成によれば、送信帯域用フィルタおよび受信帯域用フィルタを搭載しているパッケージ 2 のパッケージ GND 端子がリッド 17 を介してシールド 5 に接続されている。これにより、上記シールド 5 をアースとして利用することができる。さらに、上記リッド 17 もアースとして機能する。また、上記各フィルタの GND 端子は、パッケージ GND 端子に接続されている。そのため、フィルタに最も近い位置で、各フィルタの GND を広くすることができ、各フィルタ間、および各フィルタ（パッケージ 2）と整合回路素子 3 との間の電磁界干渉を抑制することができる。したがって、パッケージ 2 と整合回路素子 3 との物理的距離を短くしても、電磁界干渉を抑制することができるので、デュプレクサの小型化

が可能となる。さらに、上記デュプレクサは、電磁界干渉が抑制されているので、通信装置に搭載されたとしても、安定して動作する。

【 0 0 3 7 】

また、上記パッケージ G N D 端子および整合回路素子 3 の G N D 端子が実装基板 4 に形成されたスルーホール等を介して実装基板 G N D 7 に接続されている。この実装基板 G N D 7 は、実装基板 4 に形成されたキャスタレーションやスルーホール等を介してシールド 5 に接続されている。そのため、各フィルタおよび整合回路素子 3 の G N D をより広くすることができる。したがって、各フィルタ間、および各フィルタ（パッケージ 2）と整合回路素子 3 との間の電磁界干渉をより一層抑制することができる。

【 0 0 3 8 】

ここで、上記デュプレクサ 1 の特性について測定すると、図 6 に示すグラフのようになった。上記グラフ中において、(i) はシールド 5 と、リッド 1 7 および実装基板 G N D 7 とが導通している場合、(ii) はシールド 5 と、リッド 1 7 とは導通しているが、シールド 5 と実装基板 G N D 7 とは導通していない（絶縁されている）場合、(iii) はシールド 5 とリッド 1 7 とは導通していない（絶縁されている）が、シールド 5 と実装基板 G N D 7 とは導通している場合、(iv) はシールド 5 と、リッド 1 7 および実装基板 G N D 7 とが導通していない（絶縁されている）場合である。同グラフからわかるように、シールド 5 との導通箇所を増やすことにより、デュプレクサの減衰を向上させることができる。

【 0 0 3 9 】

なお、シールド 5 は、絶縁性あるいは導電性の樹脂（導電性フィラー入りのエポキシ樹脂等）からなる接着剤、あるいははんだ（S n C u A g 等）を用いて、実装基板 4 に取り付けられていればよい。また、上記接着剤は特に限定されるものではなく、シールド 5 を実装基板 4 に取り付けることができるものであれば、絶縁性、または導電性のものを使用することができる。

【 0 0 4 0 】

また、シールド 5 は、金属製に限定されることなく、めっき、スパッタ、蒸着等の成膜方法により表面の全てあるいは一部を金属でコーティングされた絶縁

物もしくは金属、または、内部の全体あるいは一部に金属を有する（例えば、各フィルタに接続される GND パターン等を有する）絶縁物から構成されていてもよい。

【0041】

さらに、上記デュプレクサの回路の変形例について、図7ないし図9に示す。図7に示す回路は、図5で示した回路において送信帯域用フィルタ35における直列共振子41a、41bを省いた構成である。図8に示す回路は、図7の回路において、受信帯域用フィルタ36における並列共振子52bを省いた構成である。図9に示す回路は、図7の回路において、受信帯域用フィルタ36の並列共振子52bと並列共振子52cとの間に直列共振子を加えた構成である。さらに、これら各構成においても同様の効果を得ることができる。

【0042】

また、各整合回路素子3は、デュプレクサの機能を損なわないのであれば、その構成は特に限定されず、さらに特に備えていなくてもよい。また、各整合回路素子3は、送信帯域用フィルタに組み込んでもよい。

【0043】

また、上記送信帯域用フィルタ35および受信帯域用フィルタ36は、直列共振子および並列共振子にバルク波共振子（圧電薄膜共振子）を用いたバルク波共振子フィルタ、並びに直列共振子および並列共振子に弾性表面波共振子を用いた弾性表面波弾性表面波共振子フィルタのいずれを用いてもよい。

【0044】

送信帯域用フィルタとして用いられるバルク波共振子フィルタにおけるバルク波共振子（圧電薄膜共振子）としては、例えば、図10に示す構成がある。図10に示すように、バルク波共振子（圧電薄膜共振子）101は、Si基板102、そのSi基板102上に形成されているSiO₂、SiO₂/Al₂O₃あるいはAl₂O₃/SiO₂からなる絶縁膜106を備えている。さらに、Si基板102は、Si基板102の厚さ方向に貫通し、絶縁膜106まで達する開口部105を備えている。また、この絶縁膜106上には、順に、Al等からなる下部電極109、ZnOあるいはAlN等からなる圧電薄膜110、およびAl等から

なる上部電極 108 を備えている。

【0045】

また、バルク波共振子（圧電薄膜共振子）の変形例としては、例えば、図 11 に示す構成がある。図 11 に示すように、バルク波共振子（圧電薄膜共振子） 101' は、上記バルク波共振子 101 における Si 基板 102 に設けられている開口部 105 を Si 基板 102 に形成されている凹部 105' に代えた構成である。

【0046】

また、送信帯域用フィルタとして用いられるバルク波共振子フィルタとしては、図 12 に示す、直列共振子 302、304 と並列共振子 301、303 をラダー型に配置した構成が挙げられる。この構成では、例えば、上記各共振子 301 ~ 304 は、図 13 に示すように、開口部 311 を有する Si 基板 312、その Si 基板 312 上に形成されている、SiO₂ からなる絶縁膜 313 および AlN からなる絶縁膜 314 を備えている。また、この絶縁膜 314 上には、順に、Al 等からなる下部電極 315、ZnO からなる圧電薄膜 316、および Al 等からなる上部電極 317、318 を備えている。上記各共振子 301 ~ 304 を用いた送信帯域用フィルタとしては、図 14 に示すように、各共振子 301 ~ 304、並びに各共振子の上部電極および下部電極を配置することにより、1つのチップとして構成することができる。この構成では、直列共振子 302 および並列共振子 301 の上部電極が一体化されて上部電極 331 となっている。並列共振子 301 の下部電極は GND 332 となっている。直列共振子 302、304 および並列共振子 303 の下部電極が一体化されて下部電極 333 となっている。並列共振子 303 の上部電極は GND 334 となっている。直列共振子 204 の上部電極は上部電極 335 となっている。また、図 14 に示した破線部 336 は、この送信帯域用フィルタのダイヤフラムを示し、この送信帯域用フィルタには 1つのダイヤフラムが形成されている。

【0047】

また、受信帯域用フィルタとして用いられるバルク波共振子フィルタとしては、図 15 に示す、直列共振子 202、204 と並列共振子 201、203、20

5をラダー型に配置した構成が挙げられる。この構成では、例えば、上記各共振子201～205は、図16に示すように、開口部211を有するSi基板212、そのSi基板212上に形成されている、 Al_2O_3 からなる絶縁膜213および SiO_2 からなる絶縁膜214備えている。また、この絶縁膜214上には、順に、Al等からなる下部電極215、216、ZnOからなる圧電薄膜217、およびAl等からなる上部電極218を備えている。上記各共振子201～205を用いた受信帯域用フィルタとしては、図17に示すように、各共振子201～205、並びに各共振子の上部電極および下部電極を配置することにより、1つのチップとして構成することができる。この構成では、直列共振子202および並列共振子201の下部電極が一体化されて下部電極231となっている。直列共振子201の上部電極はGND232となっている。直列共振子202、204および並列共振子203の上部電極が一体化されて上部電極233となっている。並列共振子203の下部電極はGND234となっている。並列共振子205および直列共振子204の下部電極は一体化されて下部電極235となっている。並列共振子205の上部電極はGND236となっている。また、図17に示した破線部237は、この受信帯域用フィルタのダイヤフラムを示し、この受信帯域用フィルタには1つのダイヤフラムが形成されている。

【0048】

また、上記送信帯域用フィルタおよび受信帯域用フィルタに弾性表面波フィルタを用いた場合について図18に示す。

【0049】

送信帯域用フィルタ500は、図18に示すように、基板上に、直列弾性表面波共振子501a～501cと、並列弾性表面波共振子502a、502bとを梯子型に配置して有している。また、直列弾性表面波共振子501a～501cは、送信端子と接続される入力端子503とアンテナ端子と接続される出力端子504との間に互いに直列に接続されている。一方、並列弾性表面波共振子502a、502bは、直列弾性表面波共振子501a～501c間とGND電極505、506との間にそれぞれ接続されている。

【0050】

受信帯域用フィルタ 510 は、図 18 に示すように、基板上に、直列弾性表面波共振子 511a～511c と、並列弾性表面波共振子 512a、512b とを梯子型に配置して有している。また、直列弾性表面波共振子 511a～511c は、受信端子と接続される入力端子 513 とアンテナ端子と接続される出力端子 514 との間に互いに直列に接続されている。一方、並列弾性表面波共振子 512a、512b は、直列弾性表面波共振子 511a～511c 間と GND 電極 515、516 との間にそれぞれ接続されている。

【0051】

なお、上記各弾性表面波共振子は、くし型電極部が設けられ、該くし型電極部を左右（弾性表面波の伝搬方向に沿った左右）から挟み込むように、2つのリフレクタが配置されている構成である。

【0052】

〔実施の形態 2〕

本発明の他の実施の形態について図 19 ないし図 21 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態 1 にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0053】

本実施の形態のデュプレクサ 1a は、図 19 に示すように、実施の形態 1 におけるパッケージ 2 において、送信帯域用フィルタと受信帯域用フィルタとをそれぞれ別々のパッケージ 2a、2b に収納した構成である。つまり、本実施の形態のデュプレクサは、送信帯域用フィルタ 2a と受信帯域用フィルタ 2b とを備え、各フィルタ 2a、2b がシールド 5 にリッド 17a、17b を介し、接続部材 9a、9b を介して接続されている構成である。

【0054】

上記パッケージ 2a、2b では、図 20 に示すように、実施の形態 1 におけるパッケージ 2 において、それぞれ送信帯域用フィルタ 12、受信帯域用フィルタ 13 のみを備えている構成である。図 20 では、送信帯域用フィルタ 12、受信帯域用フィルタ 13 のリッド 17a、17b との導通をキャストレーション 15 で取っている構成を示す。また、図 21 に示すように、送信帯域用フィルタ 12

、受信帯域用フィルタ 1 3 のリッド 1 7 a、1 7 b との導通をスルーホール 1 6 で取ってもよい。また、上記パッケージ 2 a、2 b では、収納される送信帯域用フィルタ 1 1、受信帯域用フィルタ 1 2 を 1 個である構成としたが、各フィルタは複数より構成されていてもよい。

【0 0 5 5】

上記の構成によれば、実施の形態 1 と同様の効果を得ることができる。

【0 0 5 6】

〔実施の形態 3〕

本発明の他の実施の形態について図 2 2 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態 1 および 2 にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0 0 5 7】

図 2 2 に示すように、本実施の形態にかかるデュプレクサは、上記実施の形態 1 において、送信帯域用フィルタ 1 2、受信帯域用フィルタ 1 3 および整合回路素子 3 を、1 つのパッケージ 2 に収納した構成である。また、本実施の形態では、リッド 1 7 がパッケージ 2 にシールリング 4 1 を用いて接合されている。さらに、上記フィルタ 1 2、1 3 の少なくとも 1 つがパッケージ 2 の側板部 2 1 およびシールリング 4 1 に形成されているスルーホール 1 6 を介してシールリング 4 1 およびリッド 1 7 に接続されている構成である。また、上記送信帯域用フィルタ 1 2、受信帯域用フィルタ 1 3 は、複数のフィルタから構成されていてもよい。

【0 0 5 8】

上記の構成によれば、上記実施の形態 1 と同様の効果を得ることができる。

【0 0 5 9】

〔実施の形態 4〕

本発明の他の実施の形態について図 2 3 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施の形態 1、2 および 3 にて示した各部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0 0 6 0】

図 23 に示すように、本実施の形態にかかるデュプレクサ 1 d は、実施の形態 1 および 2 における、送信帯域フィルタ 12 および受信帯域フィルタ 13 の両方をリッド 17 およびシールド 5 と接続したのに代えて、送信帯域フィルタ 12 または受信帯域フィルタ 13 のいずれか一方のみの GND を、リッド 17 およびシールド 5 に接続した構成である。

【0061】

上記の構成によれば、リッド 17 およびシールド 5 が、GND として機能するので、送信帯域フィルタ 12 または受信帯域フィルタ 13 のいずれか一方の GND を広くすることができる。したがって、送信帯域フィルタ 12 または受信帯域フィルタ 13 の減衰量を大きくすることができ、その結果、デュプレクサの特性を向上させることができる。

【0062】

〔実施の形態 5〕

本実施の形態にかかるデュプレクサは、実施の形態 3 における、送信帯域フィルタ 12 および受信帯域フィルタ 13 の両方をリッド 17 と接続したのに代えて、送信帯域フィルタ 12 または受信帯域フィルタ 13 のいずれか一方のみの GND を、リッド 17 に接続した構成である。

【0063】

上記の構成によれば、リッド 17 が、GND として機能するので、送信帯域フィルタ 12 または受信帯域フィルタ 13 のいずれか一方の GND を広くすることができる。したがって、送信帯域フィルタ 12 または受信帯域フィルタ 13 の減衰量を大きくすることができ、その結果、デュプレクサの特性を向上させることができる。

【0064】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0065】

【発明の効果】

以上のように、本発明の分波器は、送信帯域用フィルタおよび受信帯域用フィルタをアンテナ端子に並列接続してなる分波器であって、送信帯域用フィルタおよび受信帯域用フィルタは、導電性を有するリッドで封止されている少なくとも 1 つのパッケージに収納されており、上記パッケージは、アンテナ端子を有する実装基板に実装されるとともに、該実装基板に接合されている導電性を有するシールドに覆われており、上記送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方のグランド端子は上記リッドに接続され、該リッドは上記シールドと電氣的に接続されている構成である。

上記送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方のグランド端子、並びに上記シールドと電氣的に接続されている構成である。

【0066】

上記の構成によれば、実装基板のグランド電極（GND）に加えて、リッドおよびシールドもグランド電極（GND）として機能するため、送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方を接地する経路が増え、接地を強化することができる。これにより、各フィルタ間の電磁界干渉を抑制することができ、特性を低下させることなく、良好なアイソレーション特性を有する分波器を得ることができる。

【0067】

また、従来は、接地（実装基板のグランド電極）に至る経路においては、パッケージ内の配線に加えて、実装基板とパッケージとを接合するバンプやはんだ、実装基板のスルーホールがあるため、寄生インダクタンスが大きなものであったが、上記の構成によれば、リッドがグランド電極（GND）として機能するために、接地（リッド）に至る経路においては、パッケージ内の配線のみであり、寄生インダクタンスを小さくすることができる。これにより、分波器の特性を改善することができる。

【0068】

さらに、上記分波器は、電磁界干渉を抑制されているので、通信装置に搭載されたとしても安定して動作する。

【図面の簡単な説明】

【図 1】

本発明の実施の一形態にかかるデュプレクサの要部の断面図および上面図である。

【図 2】

(a) (b) は、上記デュプレクサにおける、シールドの取り付け方法を説明する図である。

【図 3】

(a) (b) は、上記デュプレクサにおけるパッケージの構成を示す上面図および要部の断面図である。

【図 4】

(a) (b) は、上記デュプレクサにおけるパッケージの変形例の構成を示す上面図および要部の断面図である。

【図 5】

上記デュプレクサの回路図である。

【図 6】

上記デュプレクサにおいてシールドとの導通箇所を変化させたときの特性を示すグラフである。

【図 7】

上記デュプレクサの変形例の回路図である。

【図 8】

上記デュプレクサの他の変形例の回路図である。

【図 9】

上記デュプレクサのさらに他の変形例の回路図である。

【図 1 0】

上記デュプレクサに用いられるバルク波共振子（圧電薄膜共振子）の要部の断面図である。

【図 1 1】

上記バルク波共振子の変形例を示す要部の断面図である。

【図 1 2】

上記デュプレクサに用いられる送信帯域用フィルタの変形例を示す回路図である。

【図 13】

図 12 の送信帯域用フィルタに用いられるバルク波共振子の一例を示す要部の断面図である。

【図 14】

図 12 の送信帯域用フィルタを 1 つのチップに搭載した構成を示す上面図である。

【図 15】

上記デュプレクサに用いられる受信帯域用フィルタの変形例を示す回路図である。

【図 16】

図 15 の受信帯域用フィルタに用いられるバルク波共振子の一例を示す要部の断面図である。

【図 17】

図 15 の受信帯域用フィルタを 1 つのチップに搭載した構成を示す上面図である。

【図 18】

上記デュプレクサに用いられる弾性表面波共振子を用いた送信帯域用フィルタ、受信帯域用フィルタの概略の構成図である。

【図 19】

本発明の実施の他の形態にかかるデュプレクサの要部の断面図および上面図である。

【図 20】

上記デュプレクサにおけるパッケージの構成を示す上面図および要部の断面図である。

【図 21】

上記デュプレクサにおけるパッケージの変形例の構成を示す上面図および要部の断面図である。

【図 2 2】

本発明の実施のさらに他の形態にかかるデュプレクサにおける、パッケージの要部の断面図である。

【図 2 3】

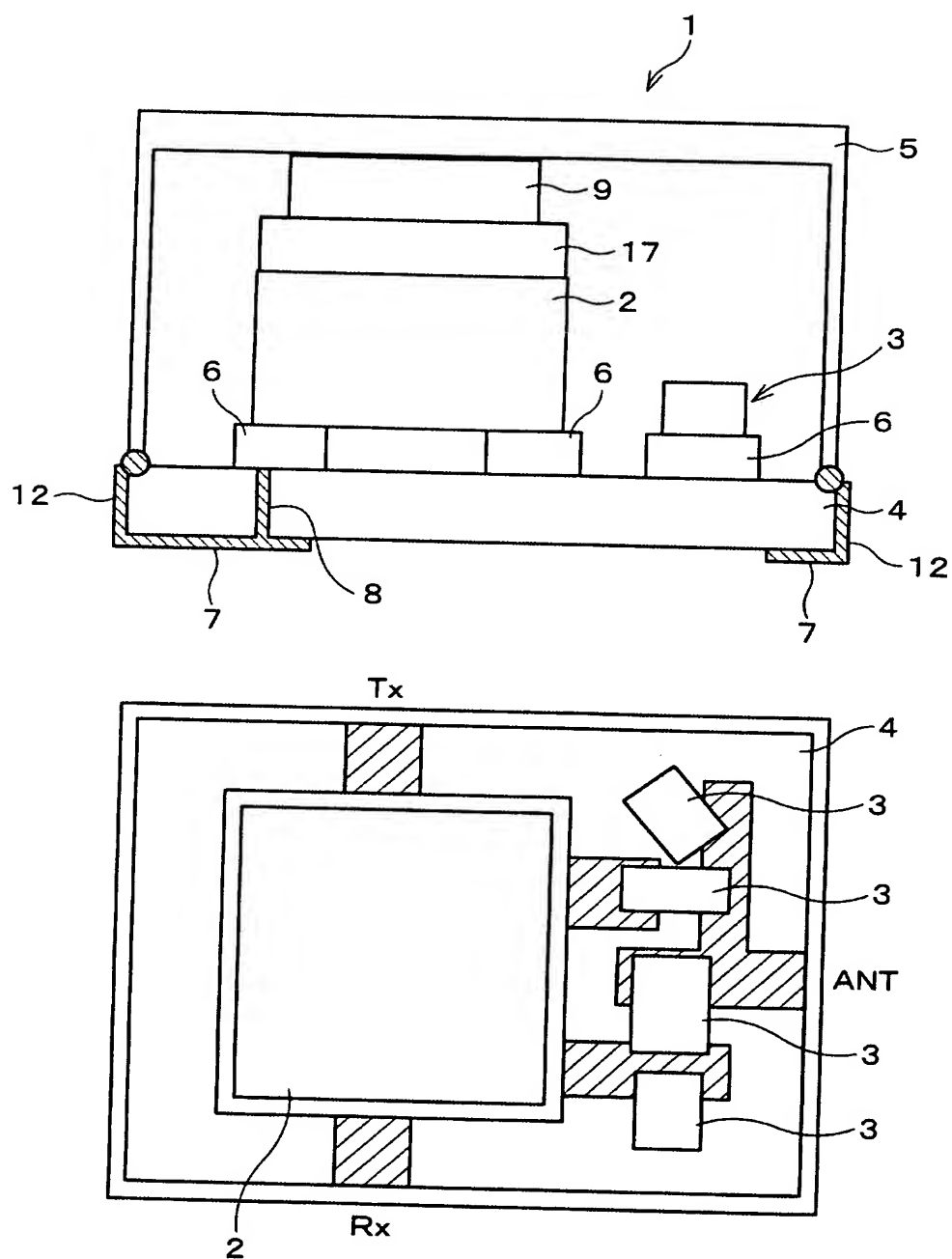
本発明の実施のさらに他の形態にかかるデュプレクサにおける、パッケージの要部の断面図である。

【符号の説明】

- 1 デュプレクサ（分波器）
- 2 パッケージ
- 3 整合回路素子
- 4 実装基板
- 5 シールド
- 6 接着部材
- 8 接続部材
- 1 2 送信帯域用フィルタ
- 1 3 受信帯域用フィルタ
- 1 7 リッド

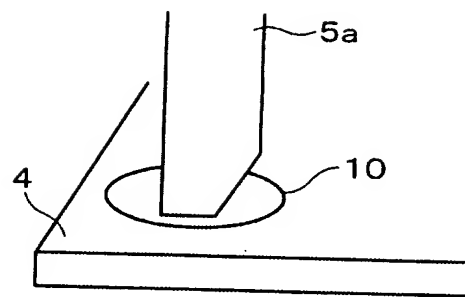
【書類名】 図面

【図 1】

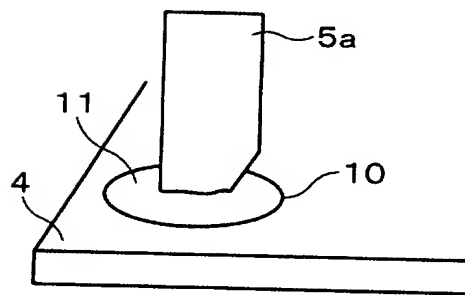


【図 2】

(a)

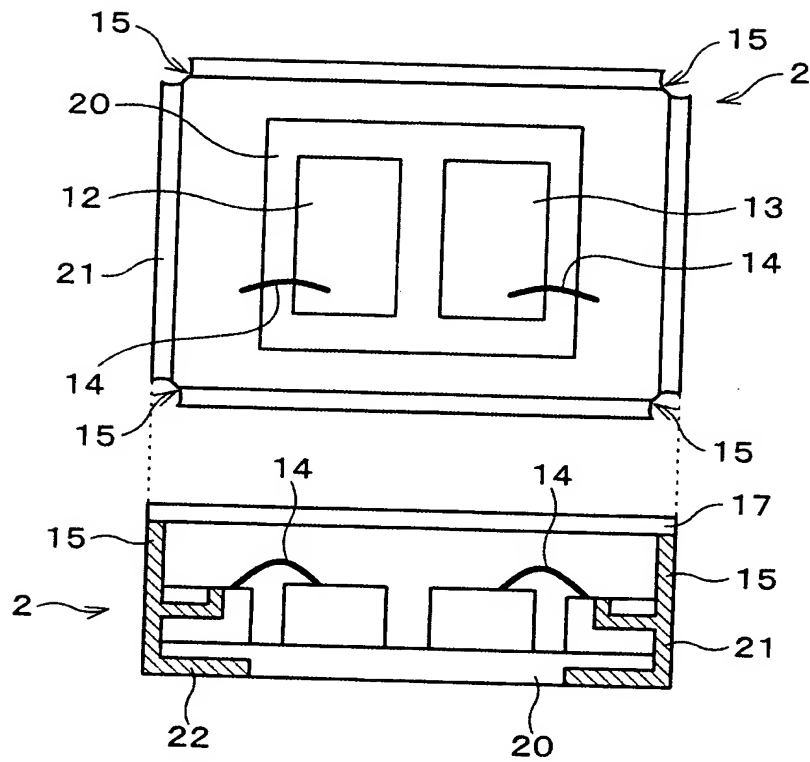


(b)

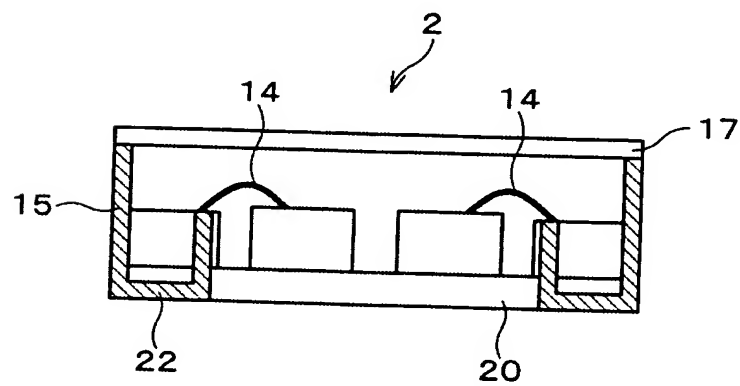


【図 3】

(a)

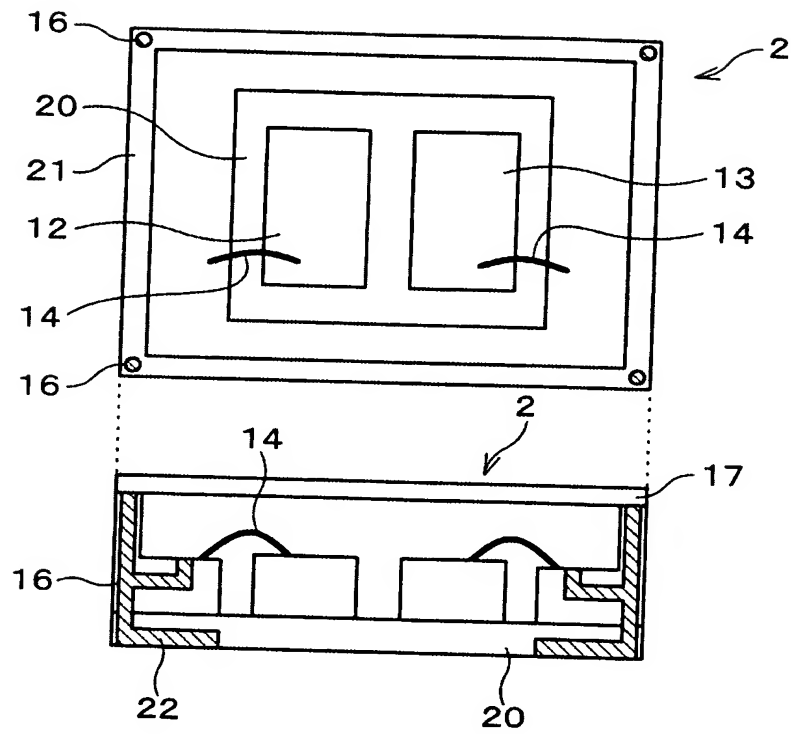


(b)

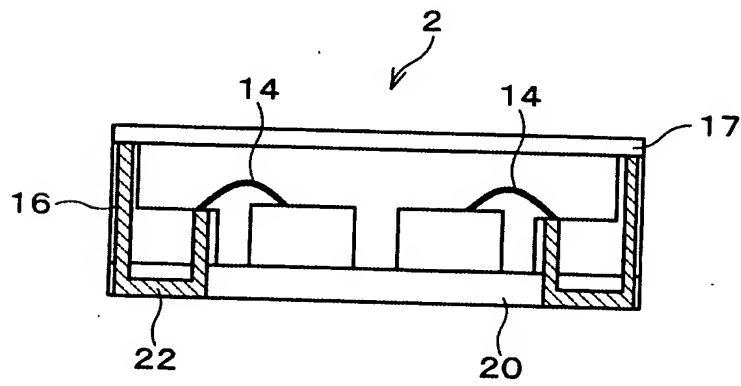


【図 4】

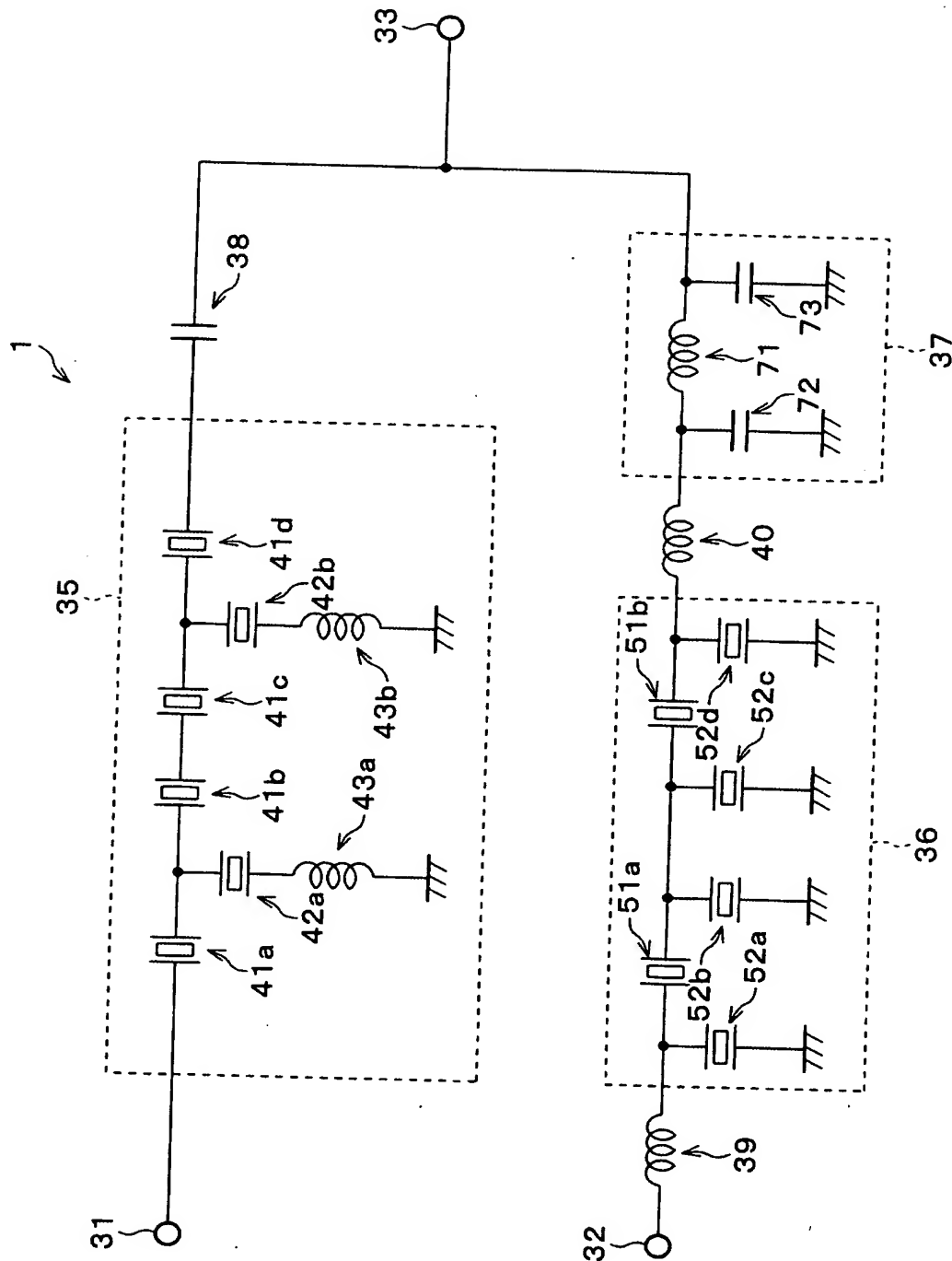
(a)



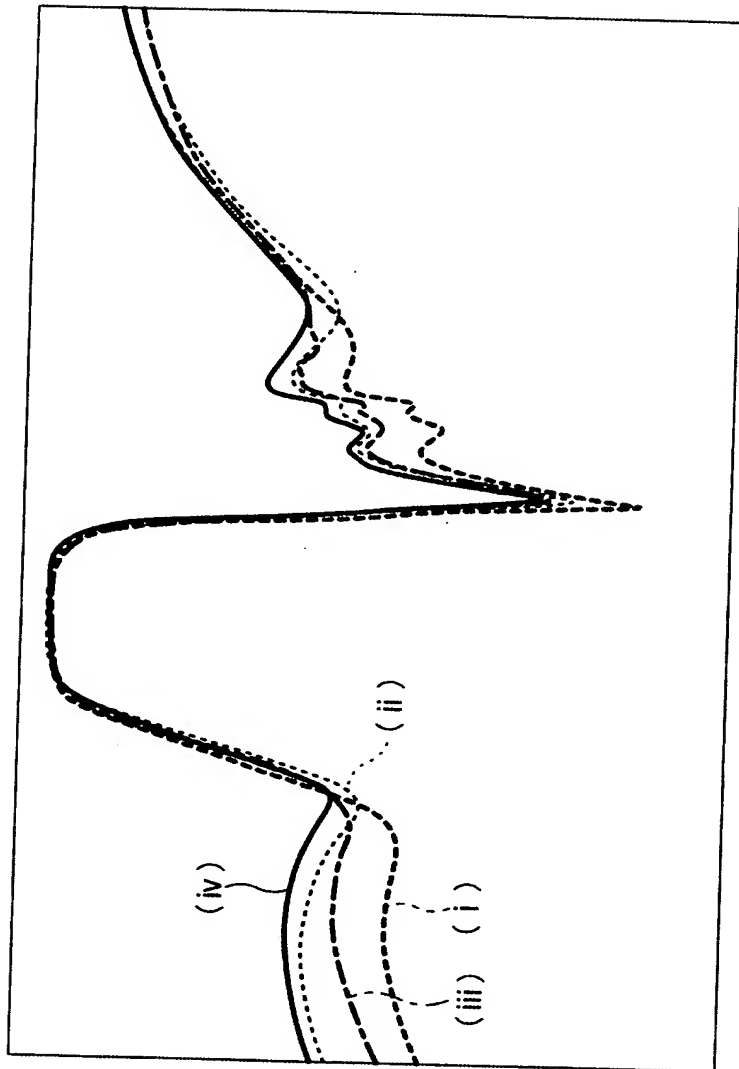
(b)



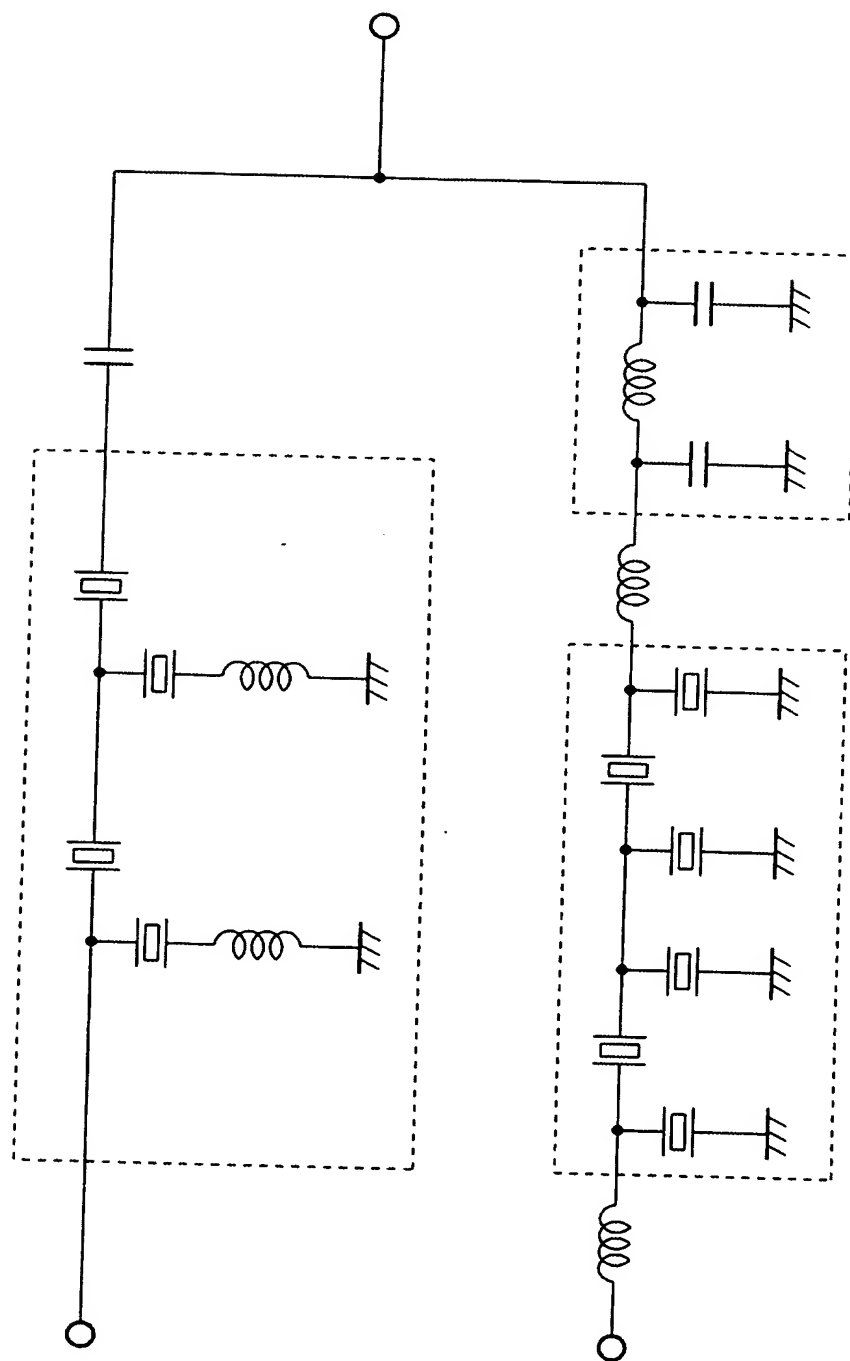
【図 5】



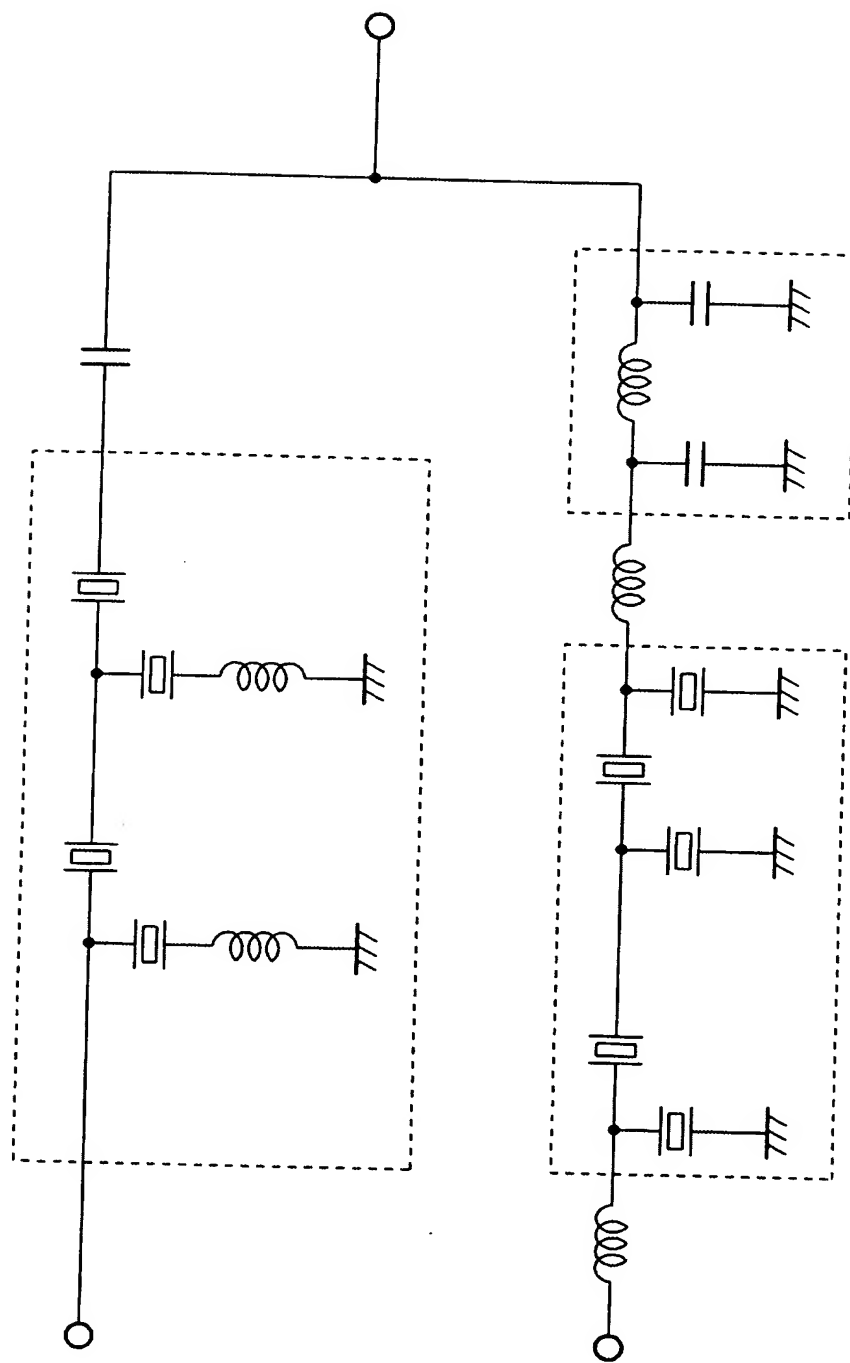
【図 6】



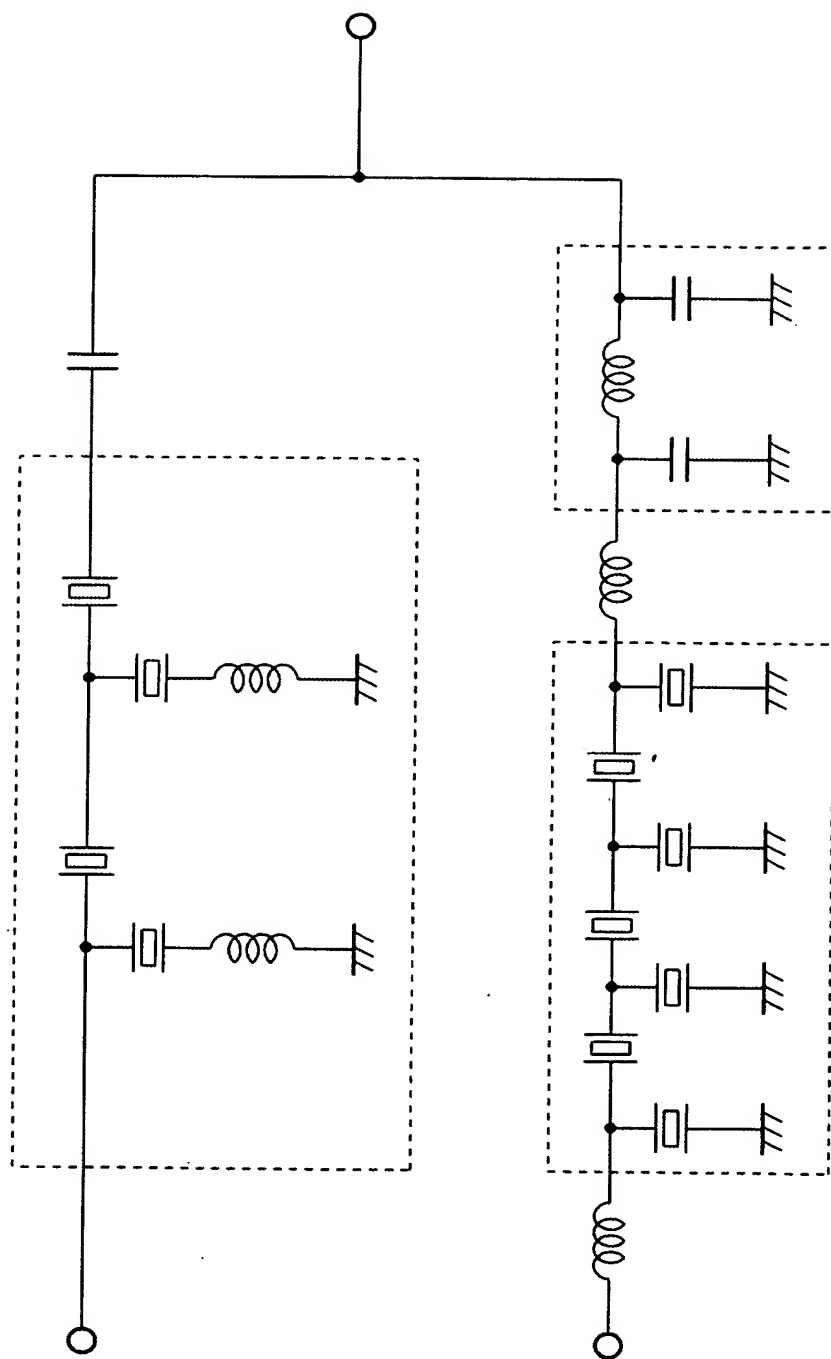
【図 7】



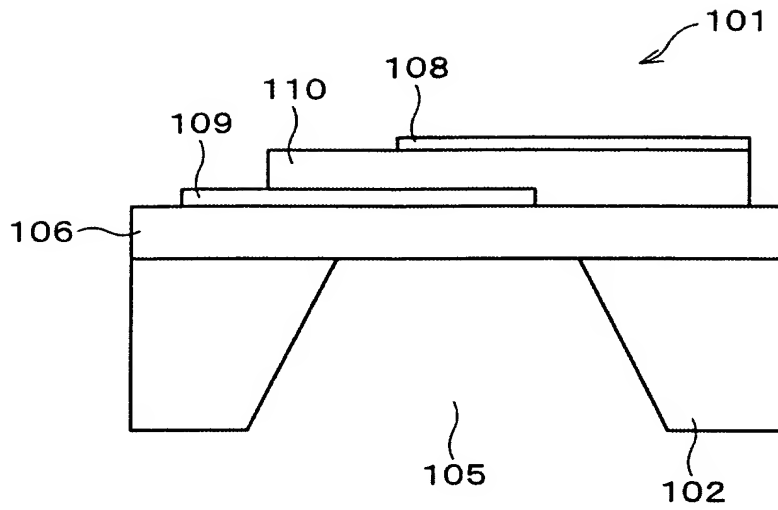
【図 8】



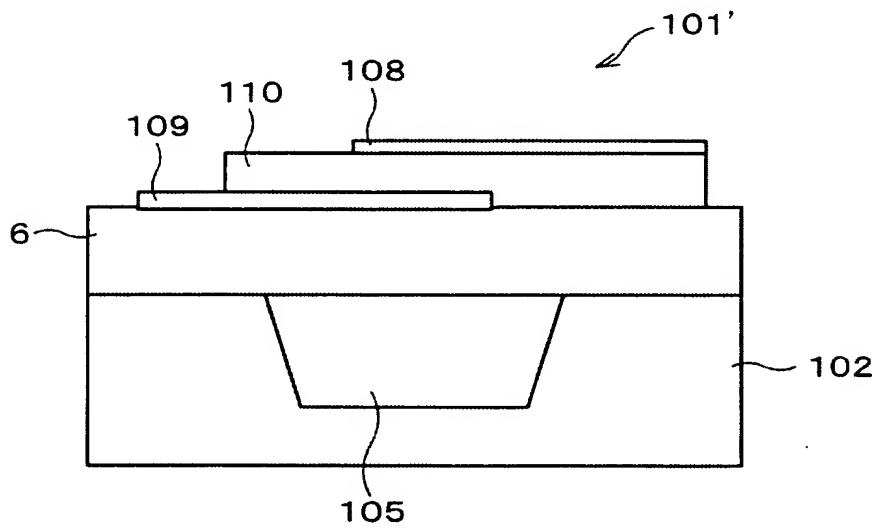
【図 9】



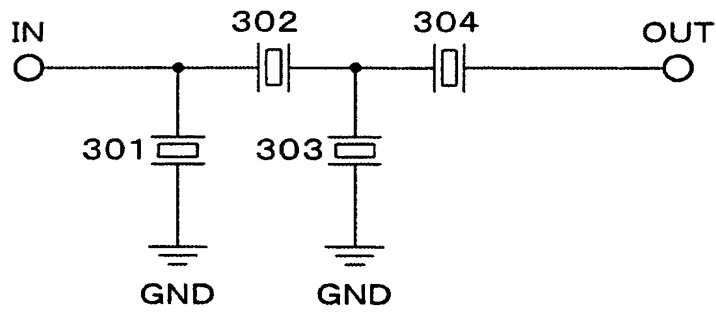
【図 10】



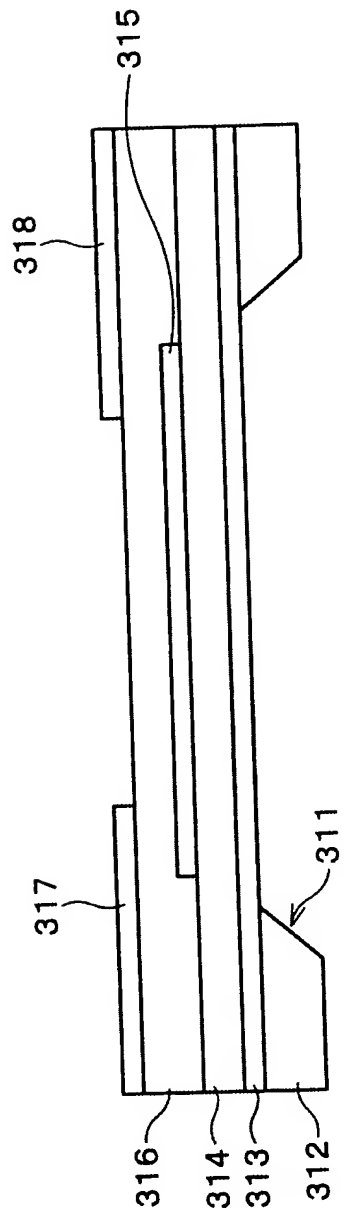
【図 11】



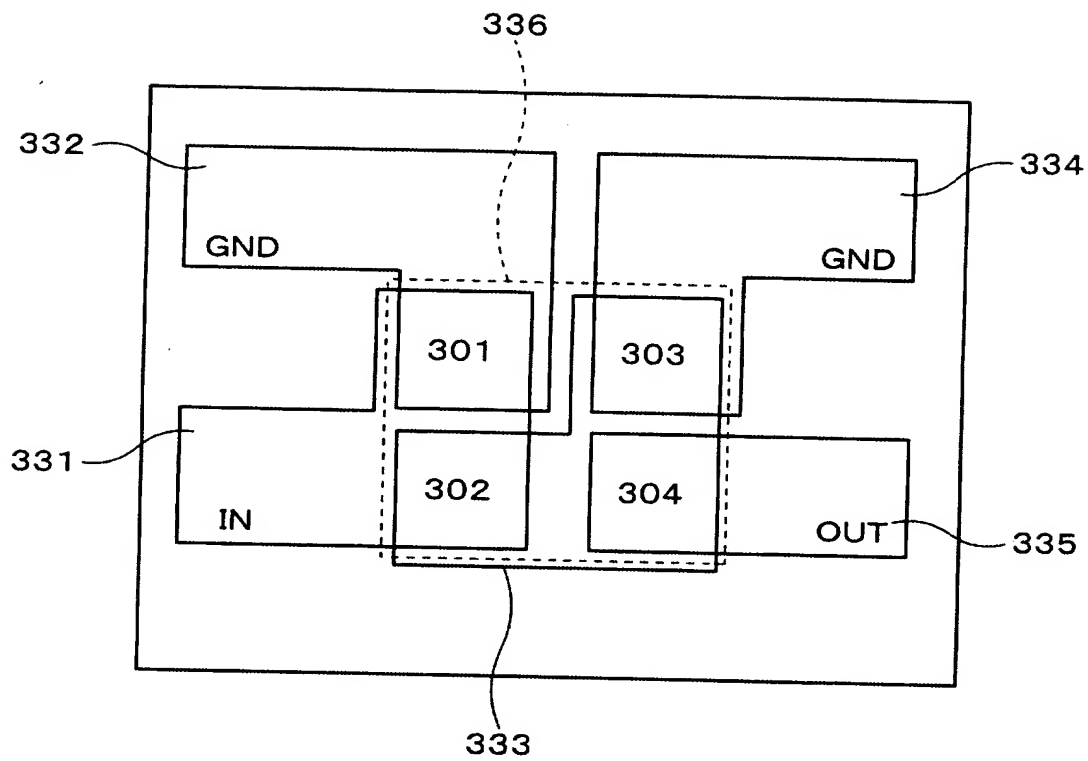
【図 12】



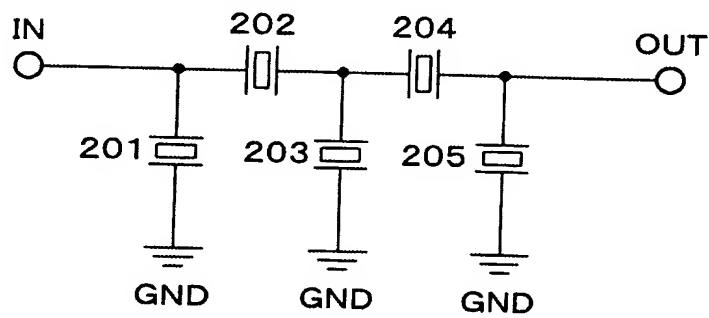
【図 13】



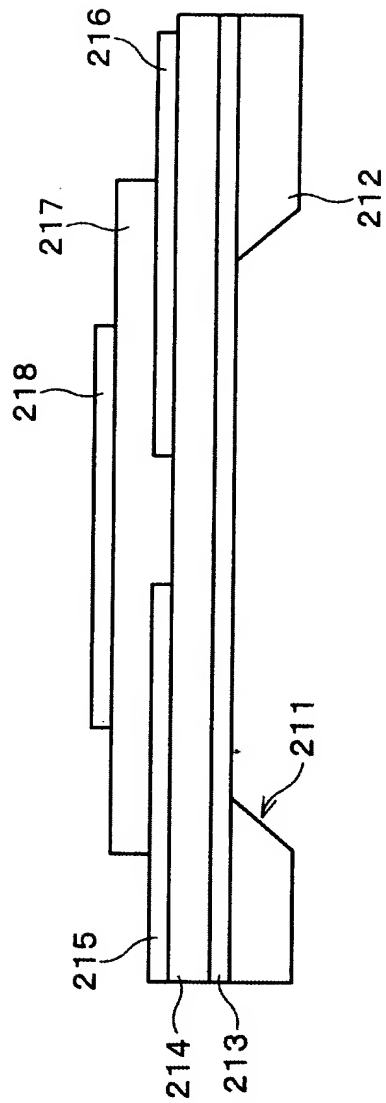
【図 14】



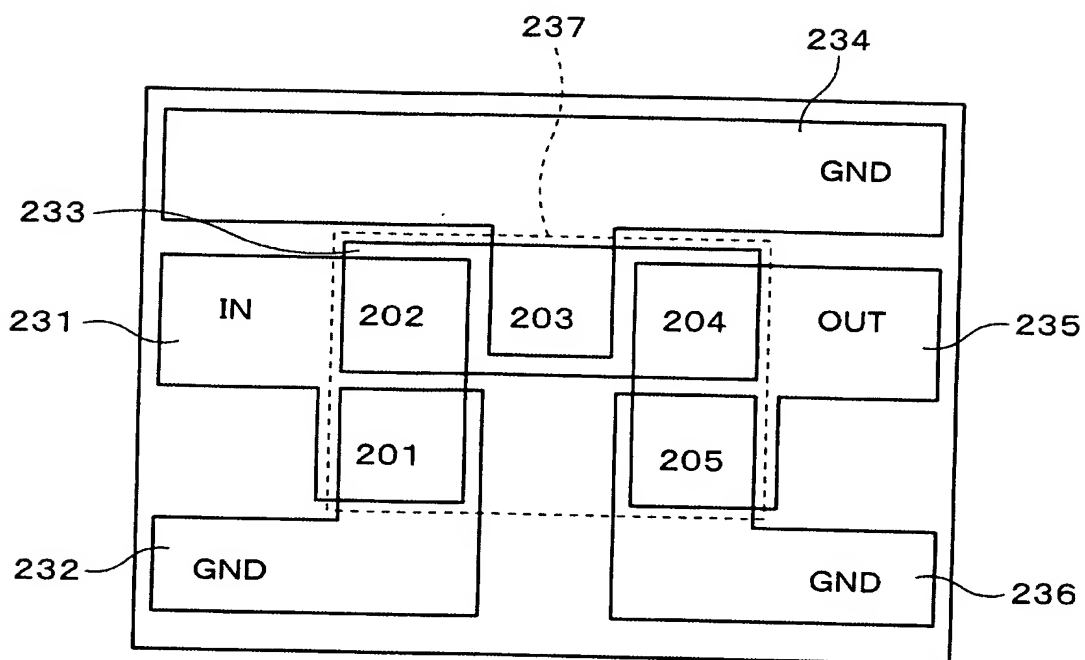
【図 15】



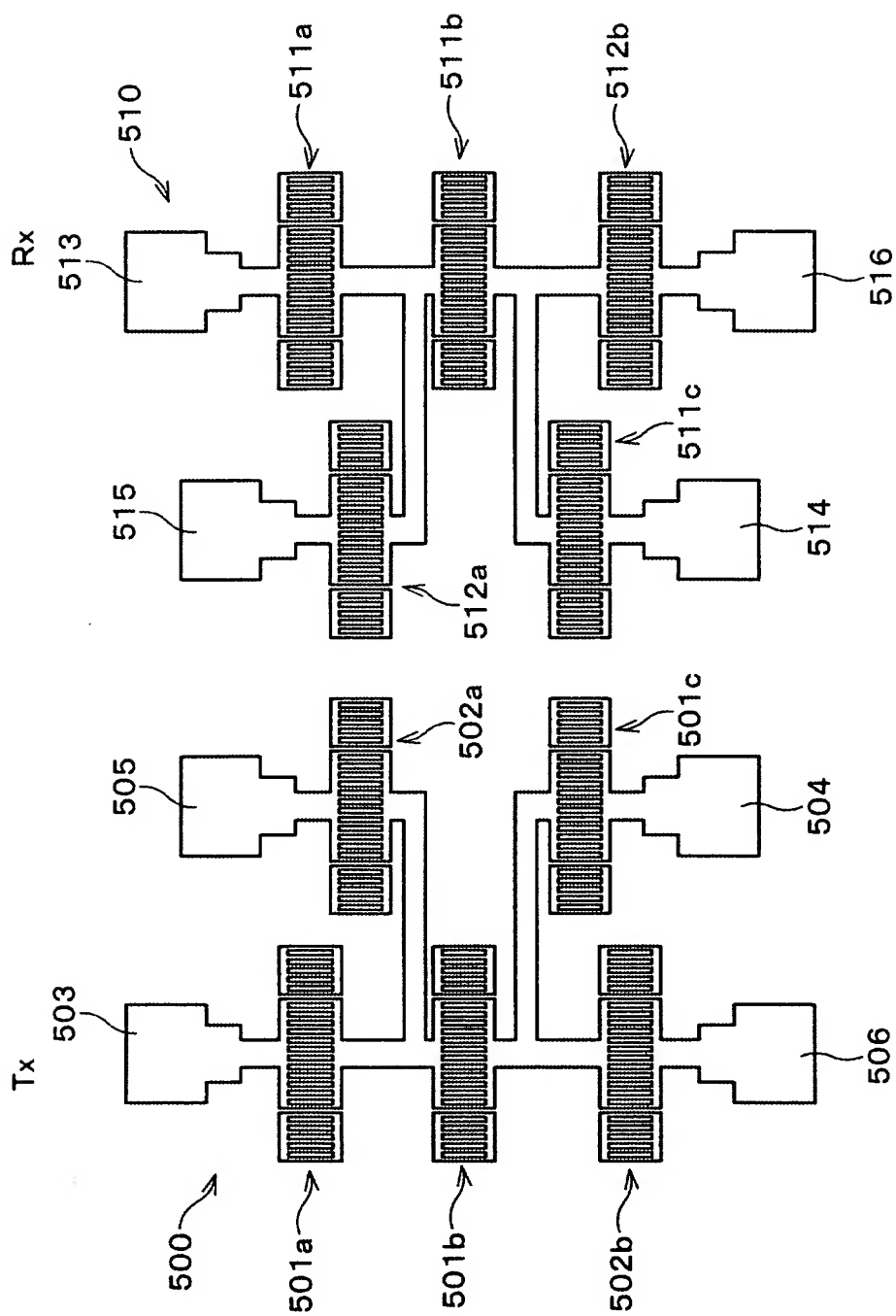
【図 16】



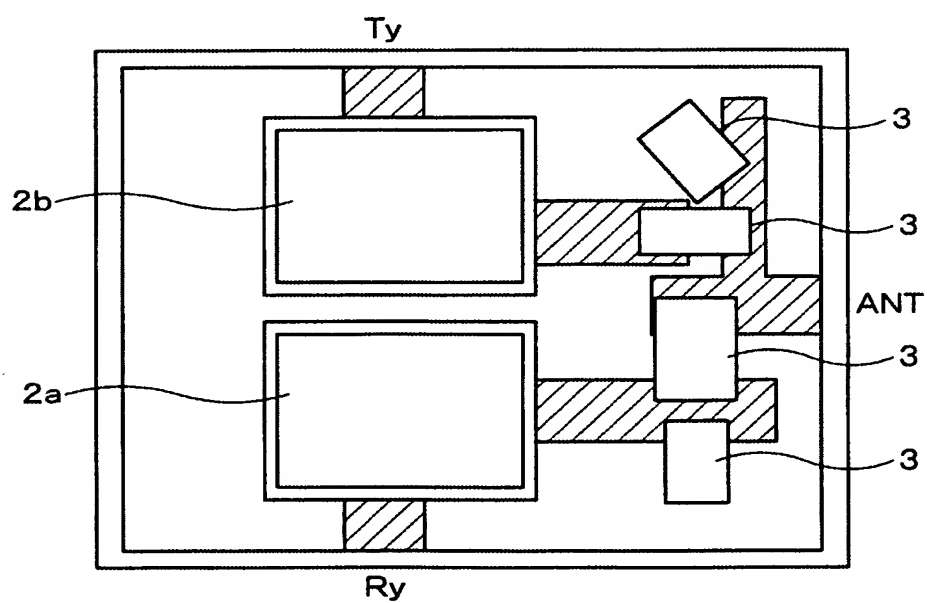
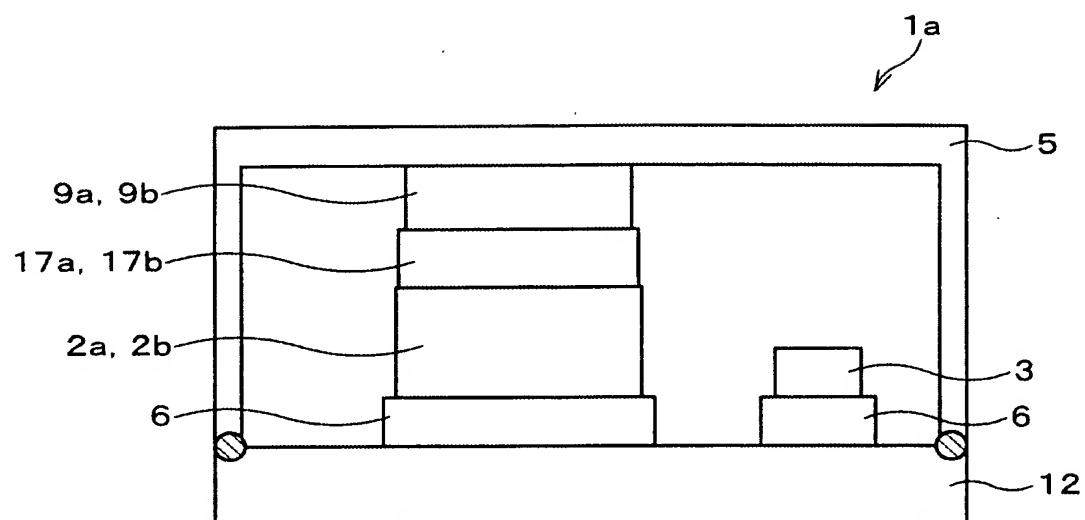
【図 17】



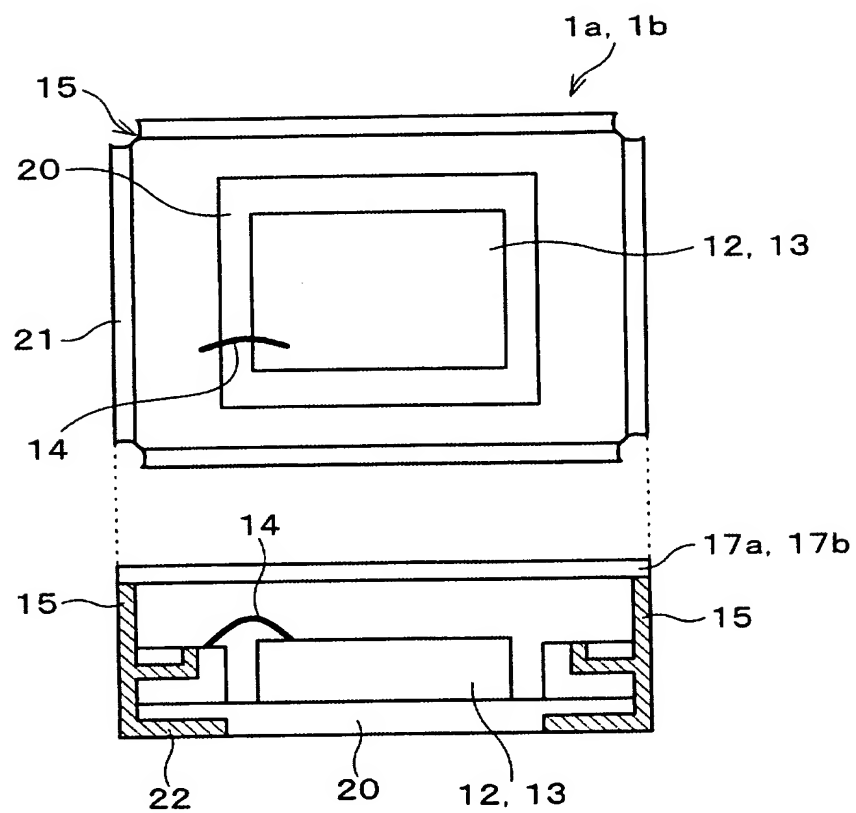
【図 18】



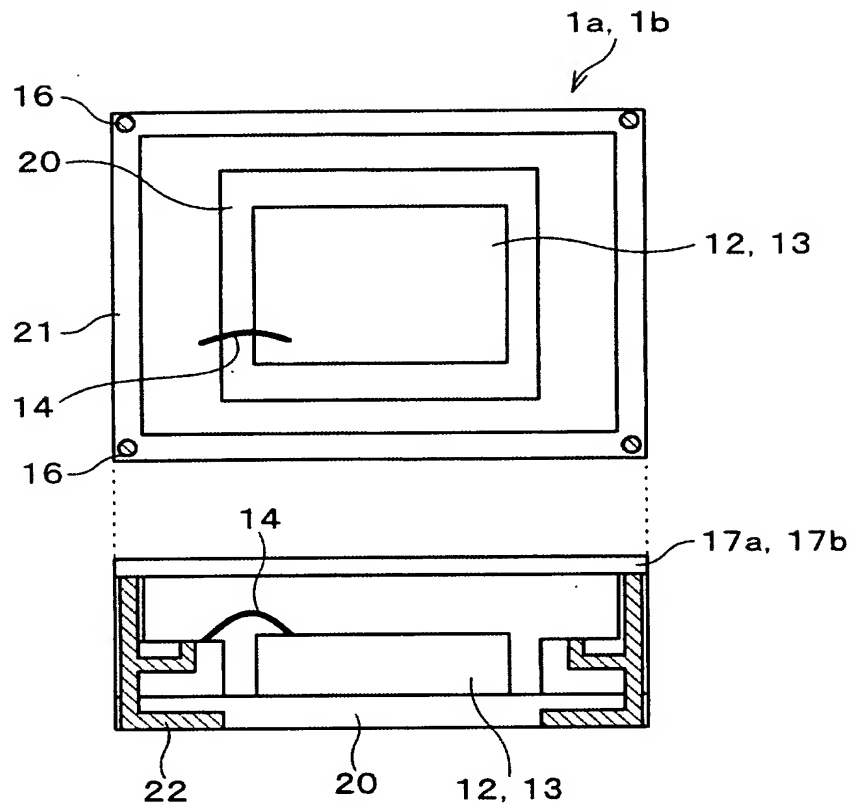
【図 19】



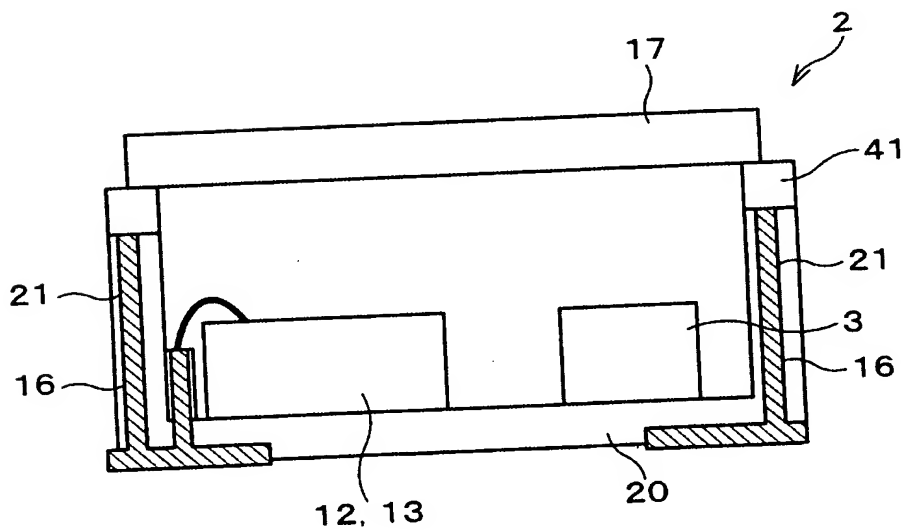
【図 20】



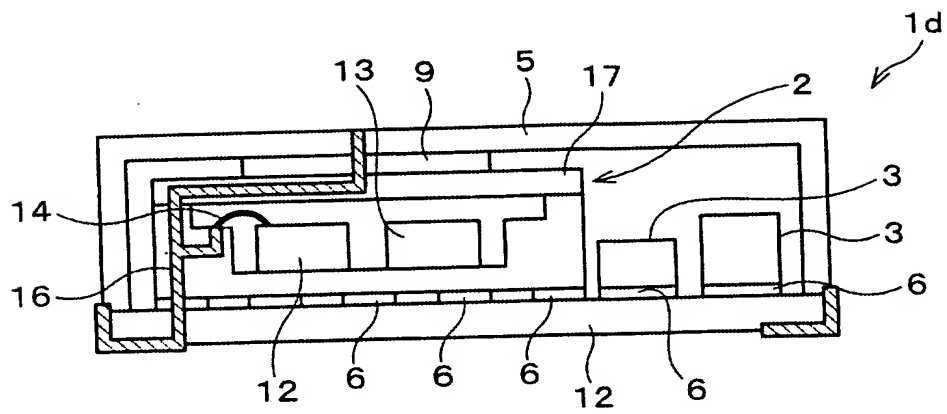
【図 2 1】



【図 2 2】



【図 23】



【書類名】 要約書

【要約】

【課題】 各フィルタ間での電磁界干渉を抑制することにより、良好な特性を有する分波器を提供する。

【解決手段】 送信帯域用フィルタおよび受信帯域用フィルタをアンテナ端子に並列接続してなる分波器であって、送信帯域用フィルタおよび受信帯域用フィルタは、導電性を有するリッド 17 で封止されている少なくとも 1 つのパッケージ 2 に収納されている。上記パッケージ 2 は、アンテナ端子を有する実装基板 4 に実装されるとともに、該実装基板 4 に接合されている導電性を有するシールド 5 に覆われている。さらに、上記送信帯域用フィルタおよび受信帯域用フィルタの少なくとも一方のグランド端子は上記リッド 17 に接続され、該リッド 17 は上記シールド 5 と電氣的に接続されている。

【選択図】 図 1

特願 2 0 0 2 - 3 2 5 6 3 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 2 3 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名

株式会社村田製作所